|  |
| --- |
| МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ |
| ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ |
| **«Национальный исследовательский ядерный университет «МИФИ»** |
| ИНСТИТУТ ИНТЕЛЛЕКТУАЛЬНЫХ КИБЕРНЕТИЧЕСКИХ СИСТЕМ |
| КАФЕДРА «КОМПЬЮТЕРНЫЕ СИСТЕМЫ И ТЕХНОЛОГИИ» (№12) |

**Отчет по курсовой работе**

**по дисциплине**

**Схемотехника цифровых устройств**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Тема: Разработка модуля протокольного обмена (обмен с FT2232, SerDes, FIFO)** | | | | |
| Студенты | Карпухин С.А.  Пойда И.А. | | Группа | С20-501 |
|  | ФИО | |  |  |
| Руководитель | | Решетько Валерий Михайлович | | |
|  | | ФИО, степень, звание, должность | | |

|  |  |  |  |
| --- | --- | --- | --- |
| Студент |  |  | Карпухин С.А. |
|  | подпись |  | ФИО |
| Студент |  |  | Пойда И.А. |
|  | подпись |  | ФИО |
|  |  |  |  |
| Руководитель |  |  | Решетько В.М. |

подпись ФИО

**Москва, 2022**

**Оглавление**

1. Введение………………………………………………………………………………….3
2. Спецификация…………………………………………………………………………....3
3. Симуляция………………………………………………………………………………..6
4. Проверка согласования с соседними модулями ………………………………………7
5. Синтез схемы и временные характеристики ………………………………………….11
6. Заключение……………………………………………...………………………………13

Список использованных источников……………………………………………………...14

Приложение. RTL-схемы……………...…………………………………………………...15

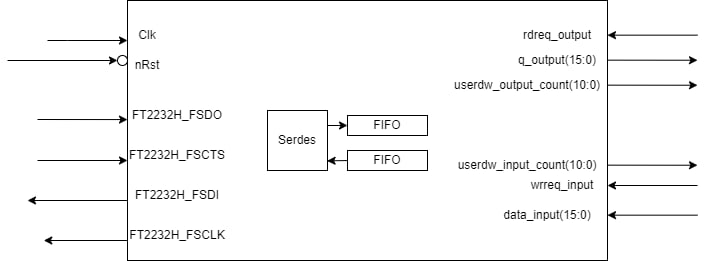
**Введение**

Модуль протокольного обмена играет важную роль в разработке генератора сигнала. Он служит связующим звеном между генератором и хостом. Благодаря модулю протокольного обмена генератор сигналов получает данные от хоста и передает данные хосту.

В рамках выполнения курсовой работы решается задача разработки части модуля протокольного обмена, а именно обмен с интерфейсной микросхемой FT2232, сериализатор и десериализатор (SerDes), FIFO. У модуля существует 2 сценария работы: получение данных от микросхемы FT2232H и передача данных на микросхему FT2232H. При получении данных, информация сериализуется и передается в FIFO. При передаче данных, информация из FIFO десериализуется и передается на микросхему FT2232H.

**Спецификация**

Условное графическое представление модуля протокольного обмена с упрощенным описанием внутреннего устройства представлено на рис. 1.



*Рис. 1 — Условное графическое представление модуля протокольного обмена.*

Описание сигналов модуля представлено в таблице 1.

*Таблица 1 — Описание сигналов модуля протокольного обмена.*

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk | in | Тактовый сигнал для BackEnd стороны шлюза. Активность — ↑ |
| 2 | nRst | in | Общий сигнал сброса. Активный уровень – ‘0’. |
| Сигналы **FT2232H** (FrontEnd – на стороне источника управления) | | | |
| 3 | FT2232H\_FSDO | in | Шина входных данных, обеспечивает обмен данными между шлюзом и FT2232H |
| 4 | FT2232H\_FSCTS | in | **F**ast **s**erial **C**lear **T**o **S**end. Сигнал готовности FT2232H к приему данных. При значении «0» данные могут передаваться от шлюза к FT2232H. |
| 5 | FT2232H\_FSDI | out | Шина выходных данных, обеспечивает обмен данными между шлюзом и FT2232H |
| 6 | FT2322H\_FSCLK | out | Входной тактовый сигнал для микросхемы FT2232H. |
| Внутренние сигналы (предназначенные для второй части модуля) | | | |
| 1 | data\_input (15:0) | in | Полученный из входного fifo вектор, который является пакетом. Добавлен по договорённости со второй частью модуля как сигнал FIFO выходных из FT2232 пакетов |
| 2 | rdreq\_output | in | Cигнал запроса на считывание из fifo на выход из FT2232. Добавлен по договорённости со второй частью модуля как сигнал FIFO выходных из FT2232 пакетов |
| 3 | wrreq\_input | in | Cигнал запроса на запись во входное fifo в FT2232. Добавлен по договорённости со второй частью модуля как сигнал FIFO входных из FT2232 пакетов |
| 4 | q\_output (15:0) | out | Полученный из выходного fifo вектор, который является пакетом. Добавлен по договорённости со второй частью модуля как сигнал FIFO выходных из FT2232 пакетов |
| 5 | usedw\_input\_count (10:0) | out | Счётчик-количество элементов в fifo на входе из FT2232. Добавлен по договорённости со второй частью модуля как сигнал FIFO входных из FT2232 пакетов |
| 6 | usedw\_output\_count (10:0) | out | Счётчик количества элементов в fifo на выходе из FT2232. Добавлен по договорённости со второй частью модуля как сигнал FIFO выходных из FT2232 пакетов |

Для удобства написания проекта модуль был поделен на несколько подмодулей: сериализатор, десеариализатор и два FIFO (один на приём и другой на передачу данных). Описание сигналов сериализатора представлено в таблице 2.

*Таблица 2 — Описание сигналов сериализатора.*

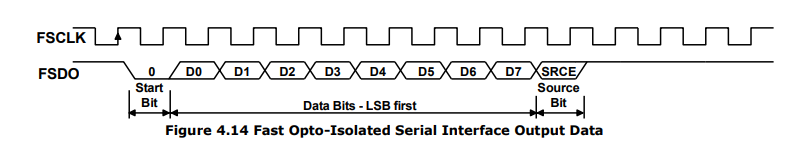
| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| 1 | clk | in | Тактовый сигнал для десериализатора |
| 2 | rst | in | Сигнал сброса. Активный уровень – ‘1’ |
| 3 | FT2232H\_FSCTS | out | Шина выходных данных, обеспечивающий обмен данными между шлюзом и FT2232H |
| 4 | FT2232H\_FSDI | in | Сигнал запроса на считывание в fifo на выход из FT2232 |
| 5 | data\_input (15:0) | in | Полученный из входного fifo вектор, который является пакетом. Добавлен по договорённости со второй частью модуля как сигнал FIFO входных из FT2232 пакетов |
| 6 | wrreq\_input | in | Сигнал запроса на запись в fifo на вход в FT2232. Добавлен по договорённости со второй частью модуля как сигнал FIFO входных из FT2232 пакетов |
| 7 | usedw\_input\_count (10:0) | out | Счётчик количества элементов в fifo на входе в FT2232. Добавлен по договорённости со второй частью модуля как сигнал FIFO входных из FT2232 пакетов |

Описание сигналов десериализатора представлено в таблице 3.

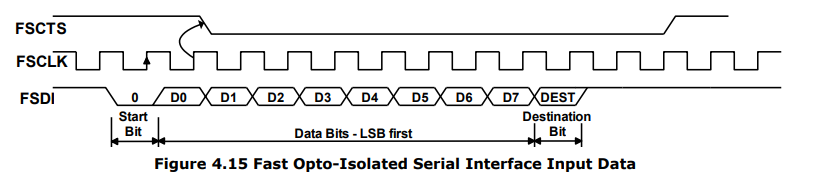
*Таблица 3 — Описание сигналов десериализатора.*

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| 1 | clk | in | Тактовый сигнал для десериализатора |
| 2 | rst | in | Сигнал сброса. Активный уровень – ‘1’ |
| 3 | FT2232H\_FSDO | in | Шина входных данных, обеспечивающий обмен данными между шлюзом и FT2232H |
| 4 | rdreq\_output | in | Сигнал запроса на считывание в fifo на выход из FT2232. Добавлен по договорённости со второй частью модуля как сигнал FIFO выходных из FT2232 пакетов |
| 5 | q\_output (15:0) | out | Полученный из выходного fifo вектор, который является пакетом. Добавлен по договорённости со второй частью модуля как сигнал FIFO выходных из FT2232 пакетов |
| 6 | usedw\_output\_count (10:0) | out | Счётчик количества элементов в fifo на выходе из FT2232. Добавлен по договорённости со второй частью модуля как сигнал FIFO выходных из FT2232 пакетов |

Принцип функционирования модуля протокольного обмена представлен на рисунке 1. Сначала данные от хоста поступают на микросхему FT2232H и по последовательному интерфейсу «Fast Serial Interface» передаются на ПЛИС Cyclone 10LP [1] в виде сигналов, представленных на рисунке 2. После этого полученные данные десериализуются и записываются в эластичный буфер FIFO. При передаче данных от устройства хосту, информация из FIFO сериализуется и передается на микросхему FT2232H в виде сигналов, представленных на рисунке 3, после чего передаются на хост.

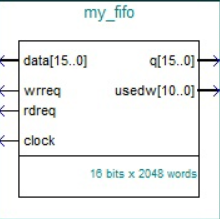


*Рис. 2 — Временная диаграмма сигналов, получаемые при чтении данных из FT2232H [2].*



*Рис. 3 — Временная диаграмма сигналов, генерируемые при передаче данных в FT2232H [2].*

На рис. 4 показана конфигурация использованных нами FIFO. И входная, и выходная очередь имеют одинаковые настройки: максимальная вместимость 2048 слов, каждое из которых занимает 16 бит.



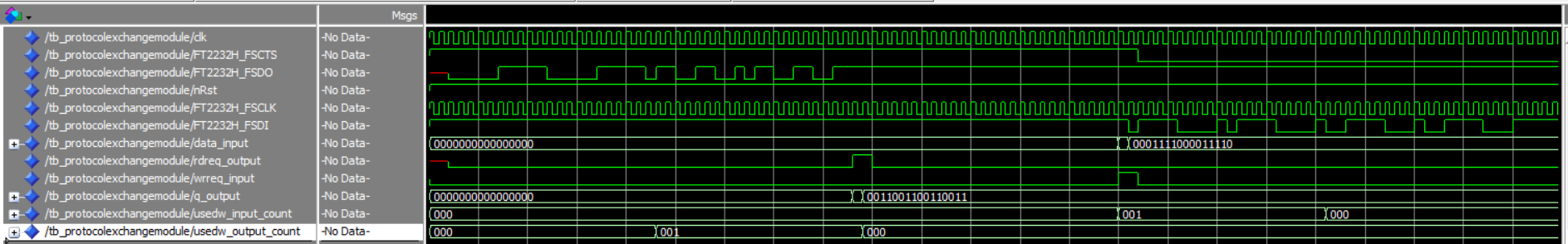
*Рис. 4 — Конфигурация FIFO.*

**Симуляция**

На рис. 5 представлена временная диаграмма чтения данных с микросхемы FT2232H и их запись в FIFO, и чтения данных из FIFO и передача данных на микросхему FT2232H. Как видно из диаграммы, при чтении данных с микросхемы FT2232H, в модуль протокольного обмена поступает сигнал FT2232H\_FSDO. Это обведено рамкой №1. При передаче информации на микросхему FT2232H, модуль ждет, когда сигнал FT2232H\_FSCTS устанавливается в 0, что сигнализирует о готовности FT2232H принимать данные, после чего модуль с помощью сигнала FT2232H\_FSDI передает данные. Это обведено рамкой №2.

2

1



Start

Start

Start

End

Start

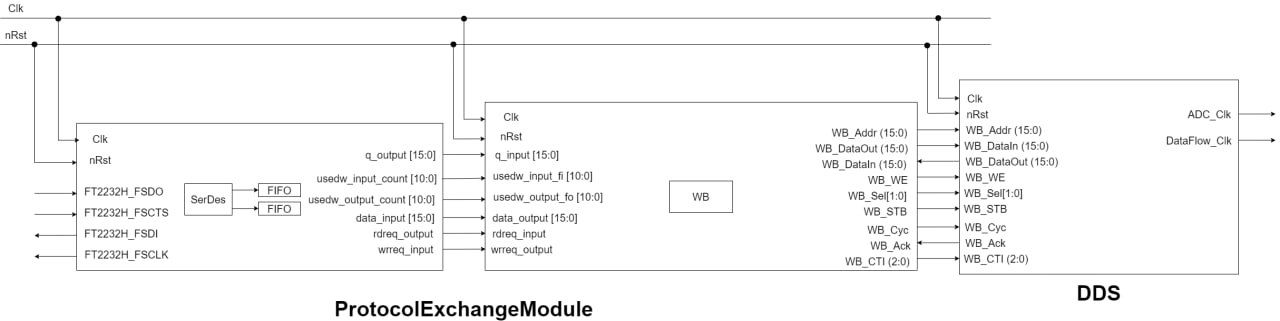
End

*Рис. 5 — Временная диаграмма чтения данных из FT2232H и запись данных в FT2232H.*

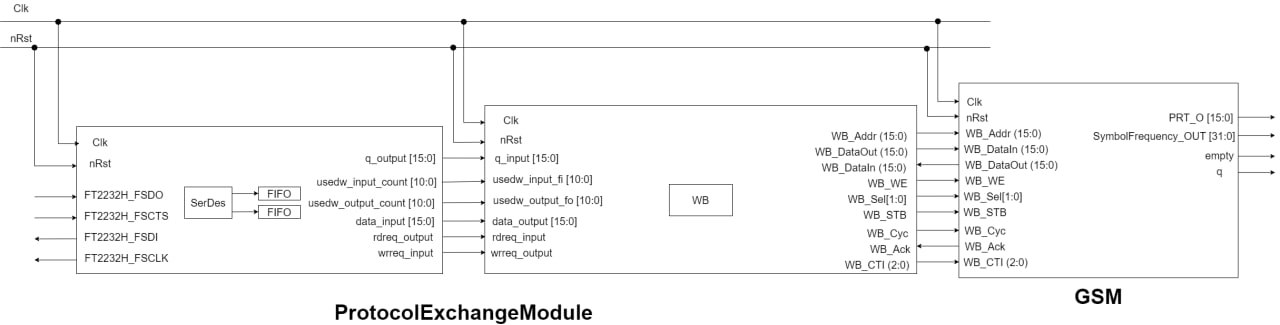
**Проверка согласования с соседними модулями**

Для проверки согласования и возможности интеграции в проект был собран специальный тестбенч, содержащий три модуля: симуляция работы FT2232 (тестовая процедура), модуль протокольного обмена (часть SerDes) и модуль протокольного обмена (часть, работающая с WishBone).

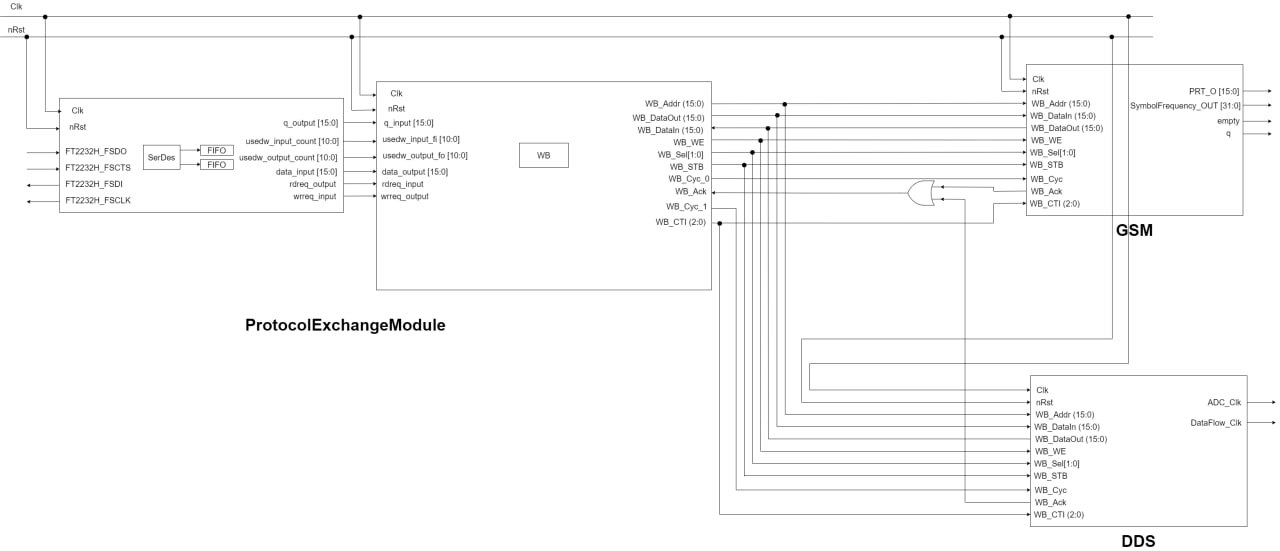
На рис. 6 изображена стыковочная схема модуля протокольного обмена в анализаторе. На рис. 7 изображена стыковочная схема модуля протокольного обмена в генераторе. На рис. 8 стыковочная схема модуля протокольного обмена при одновременном подключении к анализатору и генератору. Сгенерированные программой Quartus RTL-схемы можно найти в приложении.



*Рис. 6 – стыковочная схема модуля протокольного обмена в анализаторе.*



*Рис. 7 - стыковочная схема модуля протокольного обмена в генераторе*



*Рис. 8 – стыковочная схема модуля протокольного обмена, подключенного к генератору и анализатору.*

На временных диаграммах (рис. 9 и рис. 10.) видно, что данные, поступающие из FT2232H в FSDO передаются во вторую часть модуля протокольного обмена и выходят на входы в Wishbone. И наоборот, вторая часть модуля протокольного обмена (работа с Wishbone) пишет сигналы в очередь, а первая часть (SerDes) их считывает и передаёт на вход в FT2232 в FSDI, когда FSCTS стоит в положении ‘0’. Работает это следующем образом: модуль пишет первый бит (‘0’), и ждёт, когда FSCTS перейдёт в положение, разрешающее запись в FSDI, затем передаются 8 бит данных, затем отправляется Source Bit (бит, равный ‘1’).

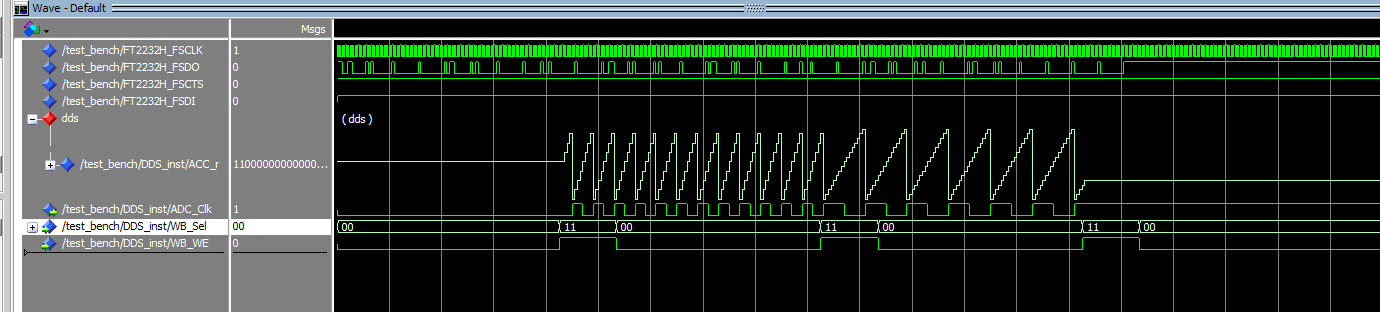
На рис. 9 в рамке №3 изображена передача частотного слова на модуль синтеза частоты дискретизации для АЦП. В FSDO отправляются данные, и увеличивается размер очереди ко второй части модуля протокольного обмена (usedw\_input\_fi). Три слова заголовка отправляются, затем отправляются данные и аккумулятор ACC\_r начинает считать в соответствии с заданным частотным словом. В рамке №4 происходит отправка запроса на уменьшение частоты сигнала, в результате чего в рамке №5 сигнал ACC\_r имеет другую частоту. В этой же в рамке по FSDO отправляется сигнал остановки подачи частоты дискретизации на АЦП. В рамке №6 видно, что аккумулятор перестал считать, т.к. nEnable = ‘1’. А также по FSDO в рамке №6 заметно, что, когда пакеты в FSDO не отправляются, ничего не происходит. При передаче данных во всех заголовках бит FB равен ‘0’.

6

5

4

3



*Рис. 9 – Временная диаграмма при чтении данных из FT2232H (FB = ‘0’)*

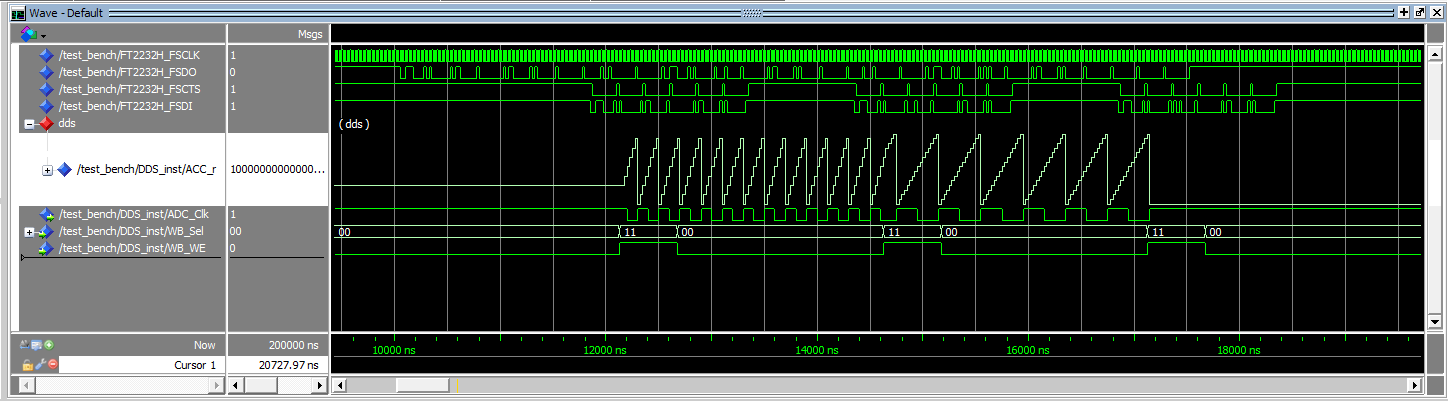
На рис. 10 изображена отправка тех же сигналов, что и на рисунке 9. Единственное отличие – бит FB во всех заголовках при передаче данных = ‘1’. Таким образом есть соответствие между процессами в рамках: рамка 3 соответствует рамке 7, 4 – 9, 5 – 9 и 6 – 10. Как можно заметить, на графиках появилось отличие – от второй части модуля протокольного обмена поступают данные в FSDI. На рис.9 данных в FSDI нет.

10

9

8

7

**

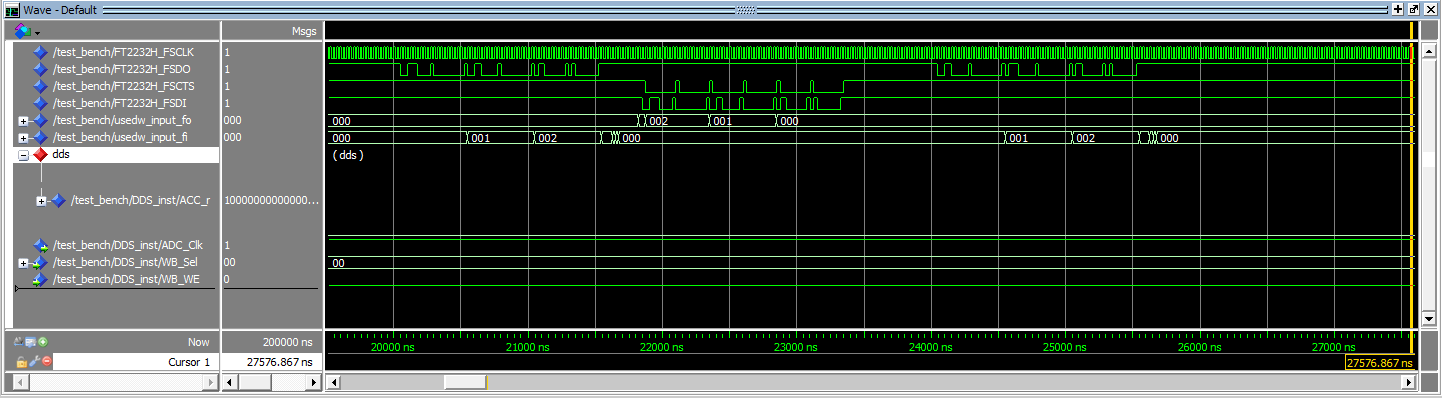
*Рис. 10 – Временная диаграмма при чтении данных из FT2232H (FB = ‘1’)*

На рис. 11 в FSDO отправляются слова заголовков для проверки работы бита FB. Этот бит обозначает, является ли запрос с подтверждением или нет. При FB = ‘1’ запрос будет с подтверждением, при FB = ‘0’ – запрос без подтверждения [3].

Заметим, что на рис. 11 в рамках № 11 при отправлении слов по FSDO увеличивается размер очереди usedw\_input\_fi. Затем вторая часть нашего модуля, получив три слова, считывает их, опустошая очередь (рамка №8), и пишет в другую очередь на вход, увеличивая usedw\_input\_fo. Наша первая часть считывает элементы очереди и пишет их в FSDI. По графикам видно, что изменение сигнала на входе в модуль и на выходе из него одинаковое (обозначено рамками №11).

На рис. 11 в рамке № 12 находится процесс отправки того же заголовка, но с битом FB равным ‘0’. Таким образом, ответа от второй части модуля протокольного обмена не поступает FIFO на вход, и поэтому первая часть модуля ничего не записывает в FSDI.

11

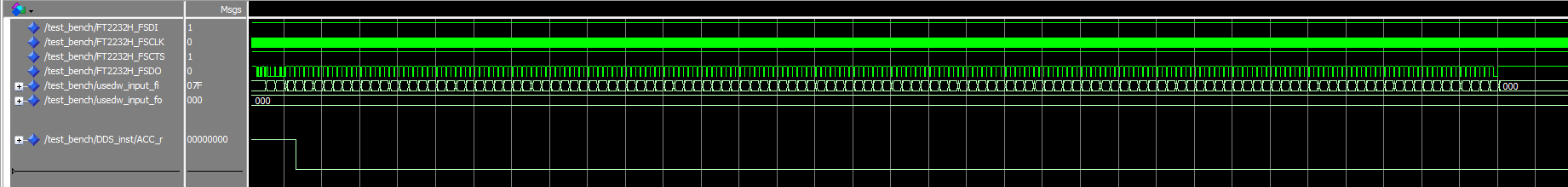
**

12

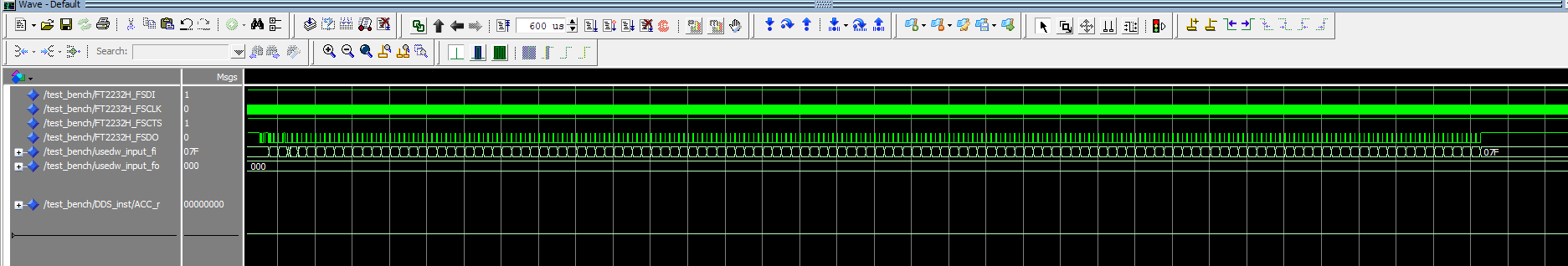
*Рис. 11 – Временная диаграмма при записи данных в FT2232H*

*11 - FB = ‘1’; 12 – FB = ‘0’*

На рис. 12 и 13 изображается отправка 255 слов данных c битом FB в заголовке, который равен ‘0’. На рис. 12 отправляются слова данных ‘1111111111111111',а на рис. 13 отправляются слова данных ‘0000000000000000’. Как видно из графика, все данные передаются корректно.

**

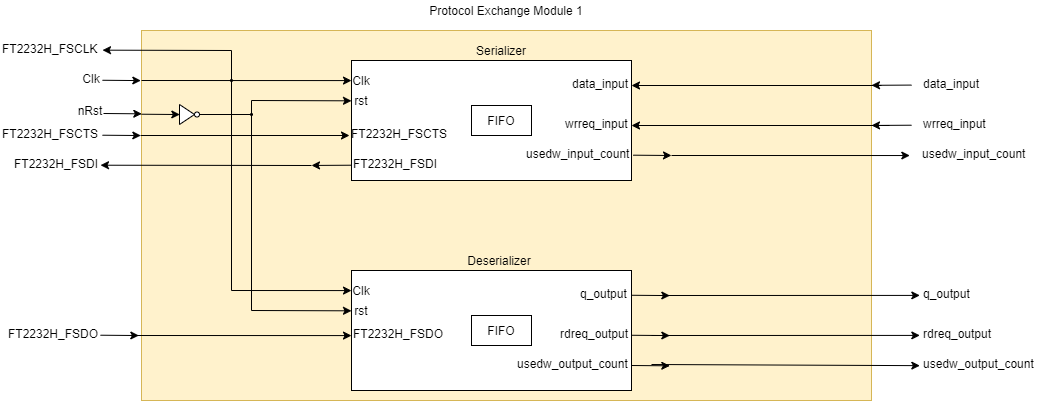
*Рис. 12 – Временная диаграмма отправки 255 слов ‘1111111111111111'*



*Рис. 13 – Временная диаграмма отправки 255 слов ‘0000000000000000’*

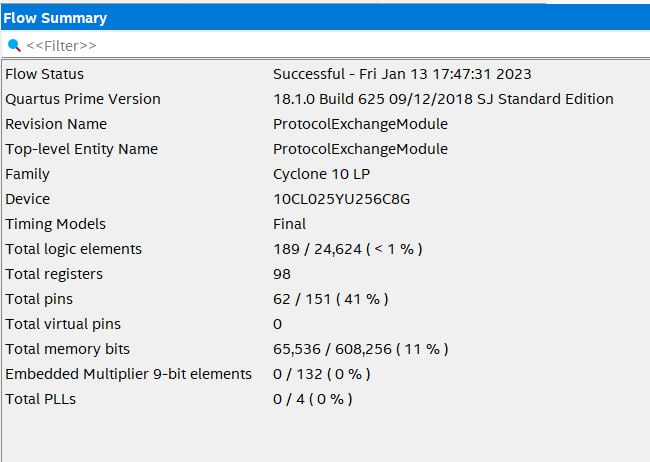
**Синтез схемы и временные характеристики**

На рис. 14 представлена схема модуля протокольного обмена (обмен с FT2232, SerDes, FIFO). Эту же схему, но сгенерированную программой Quartus можно найти в приложении. Для удобства восприятия схема была перерисована.

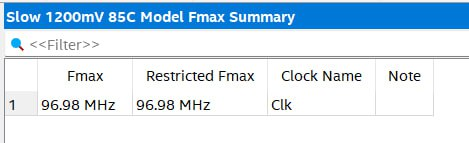


*Рис. 14 — Схема модуля протокольного обмена (обмен с FT2232, SerDes, FIFO).*

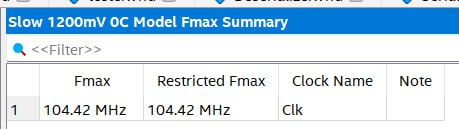
Для проверки синтезируемости были проведены стадии Analysis & Synthesis, Place & Route, Generate programming files и Timing Analysis спроектированной схемы для ПЛИС семейства Cyclone 10 LP. На рисунках 15-18 представлены результаты проведенного синтеза. На рис. 15 — отчет о занимаемых ресурсах, на рис. 16 — отчет о временных характеристиках модуля при 85 С, на рис. 17 — отчет о временных характеристиках модуля при 0 С, на рис. 18 — использованные тактовые сигналы. Все этапы синтеза пройдены успешно.



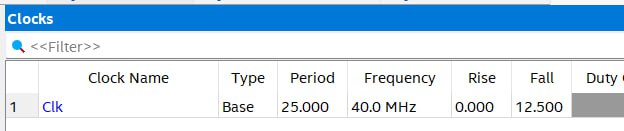
*Рисунок 15 — Отчет о занимаемых ресурсах.*



*Рисунок 16 — Отчет о временных характеристиках модуля при 85 С.*



*Рисунок 17 — Отчет о временных характеристиках модуля при 0 С.*



*Рисунок 18 — Использованные тактовые сигналы.*

**Заключение**

В данной курсовой работе разрабатывалась часть модуля протокольного обмена, обеспечивающего обмен с FT2232H, сериализатор и десериализатор (SerDes), FIFO. Было реализовано чтение данных с микросхемы FT2232H и передача данных на микросхему FT2232H, сериализация и десериализация данных, а также запись и чтение из FIFO. В процессе разработки модуля было использована библиотечная реализация FIFO.

Во время разработки был изучен язык описания аппаратуры интегральных схем VHDL, получен опыт разработки и тестирование проекта, описанного с помощью языка описания VHDL, был получен опыт создания IP-ядер на примере FIFO.

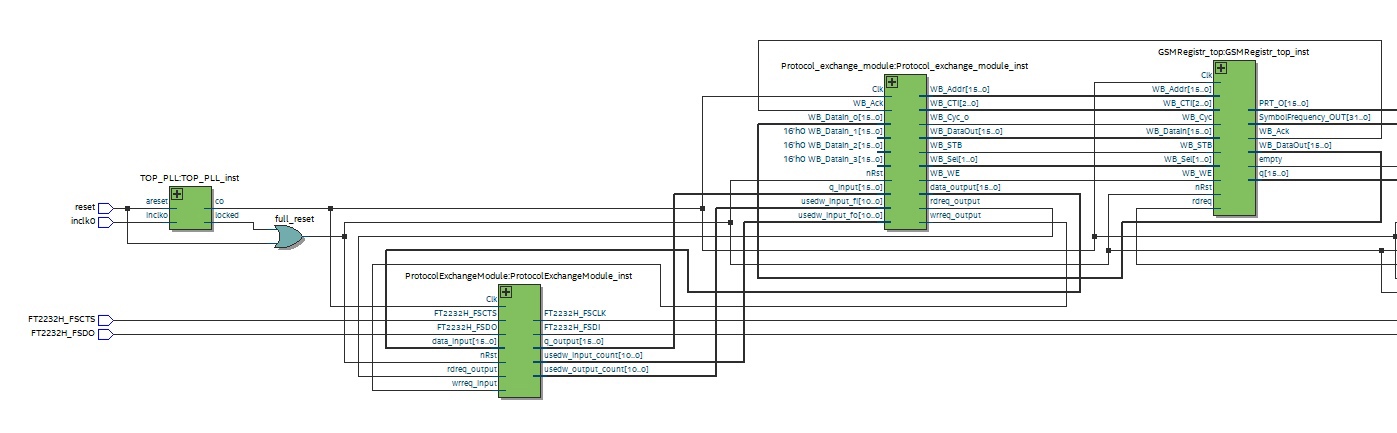
Все задание курсовой работы выполнено в полном объеме и в срок.

**Список использованных источников**

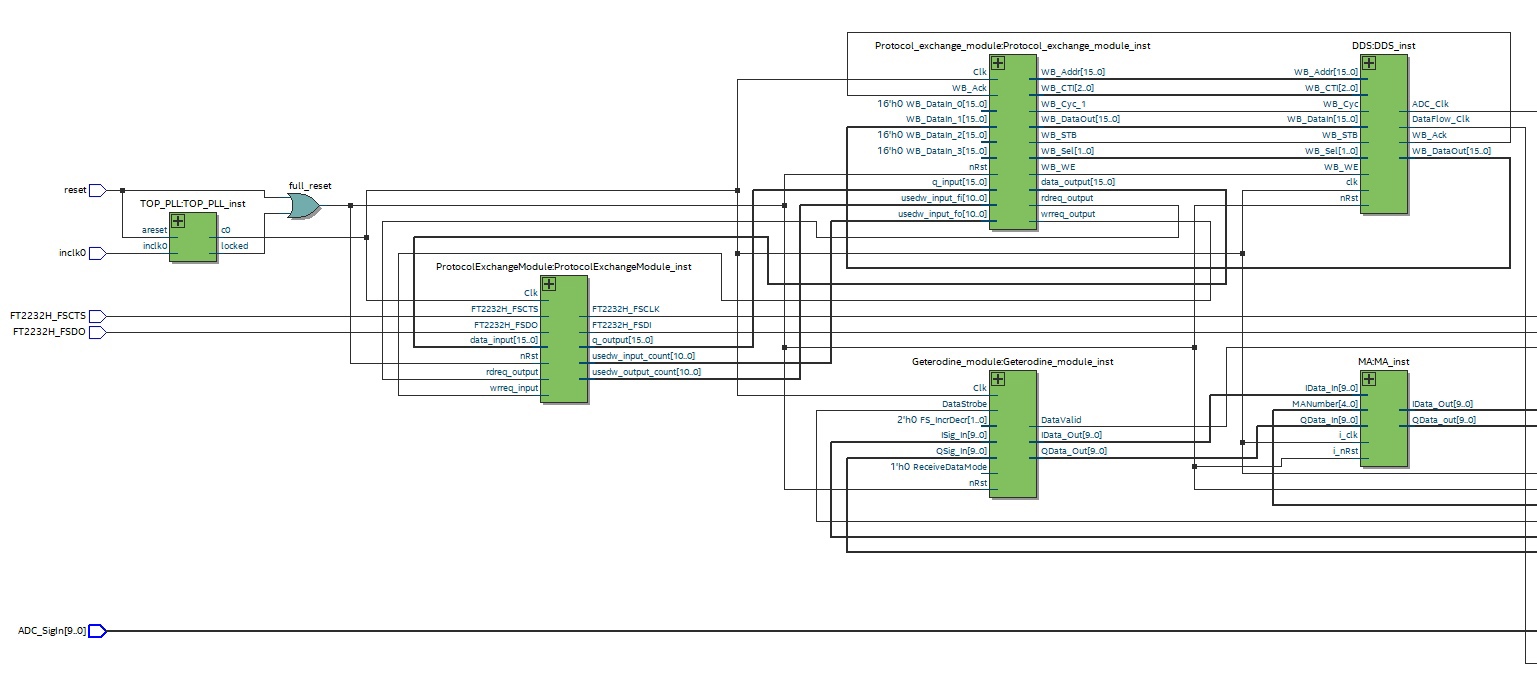
1. Intel® Cyclone® 10 LP Core Fabric and General Purpose I/Os Handbook, C10LP51003, 2020.05.21. [www.intel.com](http://www.intel.com);
2. Future Technology Devices International Ltd FT2232H Dual High Speed USB to Multipurpose UART/FIFO IC [Электронный ресурс] – режим доступа: <http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT2232H.pdf>
3. Генератор сигналов [Электронный ресурс] – режим доступа: <https://github.com/S20-501/lab2/blob/main/FunctionalSignalGenerator/Protocol%20Exchange%20Module%20%5BKarpukhin%20Poyda%5D/docs/%D0%93%D0%B5%D0%BD%D0%B5%D1%80%D0%B0%D1%82%D0%BE%D1%80%20%D1%81%D0%B8%D0%B3%D0%BD%D0%B0%D0%BB%D0%BE%D0%B2.docx>

**Приложение. RTL-схемы**

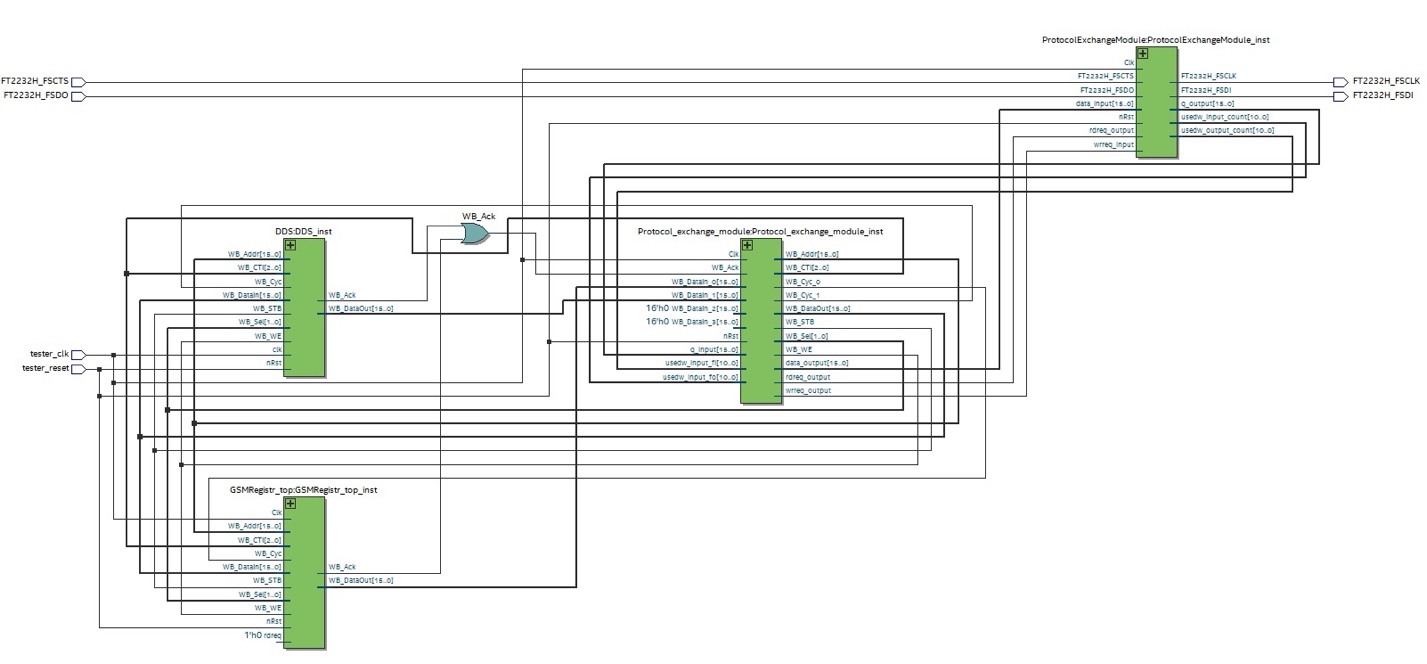
Стыковочная RTL-схема модуля протокольного обмена в генераторе:



Стыковочная RTL-схема модуля протокольного обмена в анализаторе:



Стыковочная RTL-схема модуля протокольного обмена при одновременном подключении к анализатору и генератору



RTL-схема нашей части модуля протокольного обмена

